

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173723

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H04L 29/04

G06F 5/06

G06F 13/00

G06F 13/38

(21)Application number : 08-332258

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 12.12.1996

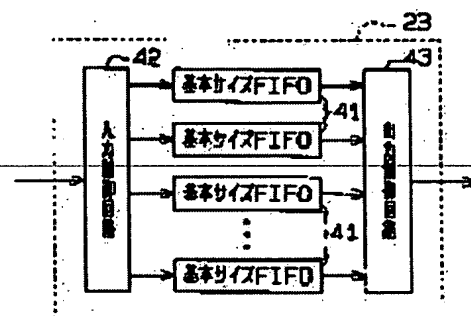
(72)Inventor : OI KENJI
SHIMIZU TEN
TSUJIMOTO HIROYUKI
SAKAI KOJI
UENO HIROTAKA

(54) DATA TRANSFER METHOD AND DATA TRANSFER EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data transfer method and a data transfer requirement, capable of making chip size small.

SOLUTION: A plurality of basic size FIFO circuits 41 whose size is equal to that of each of packet data are provided in parallel in an FIFO block 23 that stores the received packet data according to the AV/C protocol. Either one of reading or writing is conducted on each basic size FIFO time by time. Then a conventional RAM (single port type) having one input/output port is employed for each basic size FIFO 41.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

ABSTRACT OF REFERENCE 2

(11)Publication number : 10-173723

(43)Date of publication of application : 26.06.1998

(51)Int.Cl. H04L 29/04

G06F 5/06

G06F 13/00

G06F 13/38

(21)Application number : 08-332258 (71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing : 12.12.1996 (72)Inventor : OI KENJI

SHIMIZU TEN

TSUJIMOTO HIROYUKI

SAKAI KOJI

UENO HIROTAKE

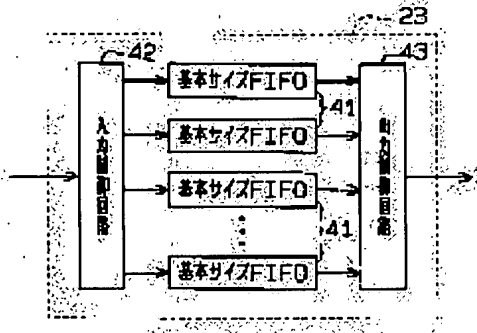
(54) DATA TRANSFER METHOD AND DATA TRANSFER EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data transfer method and a data transfer requirement, capable of making chip size small.

SOLUTION: A plurality of basic size FIFO circuits 41 whose size is equal to that of each of packet data are provided in parallel

in an FIFO block 23 that stores the received packet data according to the AV/C protocol. Either one of reading or writing is conducted on each basic size FIFO time by time. Then a conventional RAM (single port type) having one input/output port is employed for each basic size FIFO 41.



ENGLISH TRANSLATION OF EXPLANATION (PARAGRAPHS
[0048]-[0056]) CORRESPONDING TO FIG. 5 in CITED DOCUMENT 2
(JPH10-173723)

[0048]

As shown in FIG. 5, the input control circuit 42 comprises, for example, OR circuits 44a - 44c and 45 and a control shift register 46. To simplify, FIG. 5 indicates a case where the FIFO block 23 has three basic size FIFOs 41a-41c.

[0049]

Each of the OR circuits 44a - 44c has two input terminals, and the number of them is equal to the number of basic size FIFOs 41a - 41c. In each of the OR circuits 44a - 44c, a write enable signal WE from a control circuit, not shown, is input to an input terminal, and another input terminal is connected to the control register 46. An output terminal of each of the OR circuits 44a - 44c is connected to corresponding one of the basic size FIFOs 41a - 41c.

[0050]

The OR circuit 45 has input terminals of the same number as the basic size FIFOs 41a - 41c, and full signals SF1 - SF3 output from the basic FIFOs 41a - 41c are respectively input to the input terminals. The OR circuit 45 outputs the result of logical sum of the full signals SF1 - SF3 respectively output from the FIFOs 41a - 41c as a signal to the control shift register 46.

[0051]

The control shift register 46 is formed of a cyclic type shift register, to which a signal output from the OR circuit 45 is input as a clock input, having a predetermined number of bits. The number of bits is set to the number of basic size FIFOs 41a - 41c provided in the FIFO block 23.

[0052]

When the control shift register 46 is cleared at a time when the power supply is turned on, the bits are respectively set at [011]. After that, the control shift register 46 performs a shift operation in which the bits are successively shifted to [101], [110], and [011] whenever the signal is input from the OR circuit 45.

[0053]

The signal input from the OR circuit 45 is the logical sum of the full signals SF1 - SF3 output from the respective basic size FIFOs 41a - 41c. The full signals SF1 - SF3 are respectively output when the basic size FIFOs 41a - 41b are full of the stored data. Therefore, the control shift register 46 performs the shift operation in response to, for example, the rising edges of the full signals SF1 - SF3, that is, detection of the full state of each of the basic FIFOs 41a - 41b.

[0054]

Then, the control shift register 46 outputs signals respectively corresponding to the bits to the OR circuits 44a - 44c. The write enable signal WE is input to each of the OR circuits 44a - 44c. Thus, an OR circuit to which a signal corresponding to the bit "0" is input, for example, the OR circuit 44a outputs an input selection signal SI1 to the corresponding basic size FIFO 41a. On the other hand, the OR circuits 44b and 44c to which signals corresponding the bit "1" are input outputs input selection signals SI2 and SI3 to the corresponding basic size FIFOs 41b and 41c.

[0055]

The basic size FIFOs 41a-41c perform write operations when the input control signals SI1 - SI3 are in low levels, and do not the write operations when being in the high levels. Then, the input control signals SI1 - SI3 are logical sums of the states of the respective bits of the control shift register 46 and the write enable signal WE. Therefore, one of the basic size FIFOs 41a - 41c is selected at times, and the selected basic size FIFO performs the write operation.

[0056]

Then, the control shift register 46 successively performs the shift operation of the respective bits based on the full signals SF1 - SF3 output from the basic size FIFOs 41a - 41c, and outputs the signals corresponding to the respective bits. Therefore, in the respective basic size FIFOs 41a - 41b, the next basic size FIFO is selected every time one packet data is stored, and the packet data is written in the selected basic size FIFO.

CLAIMS

[Claim(s)]

[Claim 1] In the data transfer approach which carries out a sequential transfer in the 2nd cycle of timing which reads the data which stored in the memory for data storage the data by which a sequential transfer is carried out in the 1st cycle, and were stored in said memory, and is different from said 1st cycle The amount of data of the packet transmitted at once in said 1st and 2nd cycles is made into basic size. The basic size memory which is set as the basic size and stores data is connected to two or more juxtaposition. While storing the packet in which makes sequential selection of said two or more basic size memory, and a sequential transfer is carried out by said 1st cycle at the selected basic size memory The data transfer approach which reads the packet by which the packet made sequential selection of the already stored basic size memory, and was stored in the basic size memory, and was transmitted by the 2nd cycle.

[Claim 2] In the data transfer unit which carries out a sequential transfer in the 2nd cycle of timing which reads the data which stored in the memory for data storage the data by which a sequential transfer is carried out in the 1st cycle, and were stored in said memory, and is different from said 1st cycle The basic size memory which made basic size the amount of data of the packet transmitted at once in said 1st and 2nd cycles, was set as the basic size, and was connected to two or more juxtaposition, The 1st control circuit which stores the packet in which makes sequential selection of said two or more basic size memory, and a sequential transfer is carried out by said 1st cycle at the selected basic size memory, The data transfer unit equipped with the 2nd control circuit which reads the packet which made sequential selection of said two or more basic size memory, and was stored in the basic size memory, and is transmitted by the 2nd cycle.

[Claim 3] The basic size memory for reception connected to two or more juxtaposition since said two or more basic size memory stored a receive packet, It consists of basic size memory for transmission connected to two or more juxtaposition since a transmitting packet was stored. Said 1st and 2nd control circuit The data transfer unit according to claim 2 which makes sequential selection of the basic size memory for transmission, reads data, makes sequential selection of the basic size memory for reception in said 1st and 2nd cycle, and wrote in data in said 1st and 2nd cycle, respectively.

[Claim 4] The data transfer unit [equipped with the block selection circuitry which data are transmitted using two or more channels between said 1st and 2nd cycle, connects to juxtaposition the block which consists of said two or more basic size memory and 1st and 2nd control circuit by which parallel connection was carried out corresponding to said two or more numbers of channels, and chooses said two or more blocks by which parallel connection was carried out corresponding to said two or more channels] according to claim 2 or 3.

[Claim 5] Said 1st control circuit is the data transfer unit according to claim 2 to 4 which chooses one of the basic size memory which is in an empty condition among said two or more basic size memory, and stored the packet in the selected basic size memory.

[Claim 6] Said 2nd control circuit is the data transfer unit according to claim 2 to 4 which read the packet from the basic size in which one of the basic size memory which is in a full condition among said basic size memory was chosen as, and the packet was already stored.

[Claim 7] Either of said 1st or 2nd cycle is a data transfer unit according to claim 2 to 6 which is a cycle in the transfer mode to which data transfer is guaranteed for every fixed period between external peripheral devices.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data transfer approach and a data transfer unit, and relates to the data transfer unit based on IEEE1394 specification which is the specification of serial interface in detail.

[0002] In recent years, it follows on multimedia-ization and increase-izing of the amount of data transfer between a personal computer and a peripheral device and improvement in the speed of a transfer rate are demanded. Especially about the interface to which a peripheral device and personal computers, such as a digital camcorder treating a lot of voice and image data, digital VTR, and a color page printer, are connected, IEEE1394 which is one of the serial interface attracts attention.

[0003]

[Description of the Prior Art] From image data transfers, such as an animation with which it is a lot of data, and the continuity is demanded in recent years, the IEEE1394

protocol with which real time nature is demonstrated attracts attention. An IEEE1394 protocol is isochronous (Isochronous) whose data transfer is surely possible for every fixed period of a certain. It has transfer mode (henceforth Isoc transfer mode). That is, if the image (animation) data transfer time of day transmitted to a computer becomes irregular, when an image (animation) is reproduced, it will become discontinuous and will apply to a reality. Then, in the Isoc transfer mode in an IEEE1394 protocol, whenever it transmits image (animation) data for every fixed time of day, an image (animation) with a reality is reproducible.

[0004] Moreover, in order to transmit digital data among AV equipments, such as a digital camcorder (DVCR), an AV/C protocol is used increasingly. Therefore, AV equipments, such as a camera, are equipped with Image IC and the IEEE1394 protocol controller (henceforth IPC). Image IC outputs image data, such as an animation, for every predetermined transfer unit. IPC generates the transfer data (packet) containing the data outputted from Image IC. And IPC transmits the generated packet to the device of partners, such as a computer, in Isoc transfer mode.

[0005]

[Problem(s) to be Solved by the Invention] By the way, since the IEEE1394 protocol and the AV/C protocol are specified separately, respectively, the data transfer period of an IEEE1394 protocol differs from the data transfer period of an AV/C protocol. For example, in the Isoc transfer mode in an IEEE1394 protocol, a data transfer period is set as 125 microseconds, and the data transfer period is set as 133 microseconds in the AV/C protocol. Therefore, the phase of the data transfer by two protocols shifts gradually.

[0006] Therefore, FIFO of capacity which can hold the data for at least one packet is connected to IPC. IPC once stores in FIFO the data for one packet generated based on the data transfer period of an AV/C protocol. And IPC reads and transmits data from FIFO based on the data transfer period by Isoc transfer mode.

[0007] That is, writing of the data of the data transfer period by the AV/C protocol and read-out of the data for every data transfer period based on an IEEE1394 protocol are performed to FIFO. And read-out and the writing of this data may be generated in coincidence from the difference in the data transfer period of both protocols. Therefore, it is necessary to connect FIFO equipped with the port for reading data, and the port for writing in data more than the so-called dual port to IPC. However, since FIFO of a dual port is expensive, it has the problem that the prices of devices, such as a camera, rise.

[0008] Moreover, the case where the data outputted from Image IC are not of use for the packet transfer by Isoc transfer mode arises from the difference in the data transfer period by both protocols. In this case, IPC writes the following packet data in the data

transfer period by the following AV/C protocol while reading the data once stored in FIFO one by one to the data transfer period of the following Isoc transfer mode. Therefore, since IPC needs to perform read-out and the writing of FIFO, always supervising the amount of data (the written-in number of data, the read number of data, remaining capacity of FIFO) of FIFO, processing complicates it. In order that complication of the processing may enlarge the chip size of IPC and may raise a price, it has too the problem that the price of a device rises.

[0009] It is made in order that this invention may solve the above-mentioned trouble, and the purpose is in offering the data transfer approach and data transfer unit which can make a chip size small.

[0010]

[Means for Solving the Problem] This invention in order to attain the above-mentioned purpose invention according to claim 1 In the data transfer approach which carries out a sequential transfer in the 2nd cycle of timing which reads the data which stored in the memory for data storage the data by which a sequential transfer is carried out in the 1st cycle, and were stored in said memory, and is different from said 1st cycle The amount of data of the packet transmitted at once in said 1st and 2nd cycles is made into basic size. The basic size memory which is set as the basic size and stores data is connected to two or more juxtaposition. While storing the packet in which makes sequential selection of said two or more basic size memory, and a sequential transfer is carried out by said 1st cycle at the selected basic size memory Let it be a summary to read the packet by which the packet made sequential selection of the already stored basic size memory, and was stored in the basic size memory, and to have made it transmit by the 2nd cycle.

[0011] Invention according to claim 2 stores in the memory for data storage the data by which a sequential transfer is carried out in the 1st cycle. In the data transfer unit which carries out a sequential transfer in the 2nd cycle of timing which reads the data stored in said memory and is different from said 1st cycle The basic size memory which made basic size the amount of data of the packet transmitted at once in said 1st and 2nd cycles, was set as the basic size, and was connected to two or more juxtaposition, The 1st control circuit which stores the packet in which makes sequential selection of said two or more basic size memory, and a sequential transfer is carried out by said 1st cycle at the selected basic size memory, Let it be a summary to have had the 2nd control circuit which reads the packet which made sequential selection of said two or more basic size memory, and was stored in the basic size memory, and is transmitted by the 2nd cycle.

[0012] Invention according to claim 3 is set to a data transfer unit according to claim 2. Said two or more basic size memory The basic size memory for reception connected to

two or more juxtaposition since a receive packet was stored, It consists of basic size memory for transmission connected to two or more juxtaposition since a transmitting packet was stored. Said 1st and 2nd control circuit Let it be a summary to make sequential selection of the basic size memory for transmission, to read data, to make sequential selection of the basic size memory for reception in said 1st and 2nd cycle, and to have written in data in said 1st and 2nd cycle, respectively.

[0013] Invention according to claim 4 is set to a data transfer unit according to claim 2 or 3. Between said 1st and 2nd cycle, data are transmitted using two or more channels. The block which consists of said two or more basic size memory and 1st and 2nd control circuit by which parallel connection was carried out is connected to juxtaposition corresponding to said two or more numbers of channels, and let it be a summary to have had the block selection circuitry which chooses said two or more blocks by which parallel connection was carried out corresponding to said two or more channels.

[0014] Invention according to claim 5 chooses one of the basic size memory which said 1st control circuit has in an empty condition among said two or more basic size memory in a data transfer unit according to claim 2 to 4, and let it be a summary to have stored the packet in the selected basic size memory.

[0015] Invention according to claim 6 makes it a summary to have read the packet in a data transfer unit according to claim 2 to 4 from the basic size in which said 2nd control circuit chose as one of the basic size memory which is in a full condition among said basic size memory, and the packet was already stored.

[0016] Invention according to claim 7 makes it a summary for either of said 1st or 2nd cycle to be a cycle in the transfer mode to which data transfer is guaranteed for every fixed period between external peripheral devices in a data transfer unit according to claim 2 to 6.

[0017] (Operation) Therefore, according to invention according to claim 1, the basic size memory connected to two or more juxtaposition is set as the amount of data of the packet transmitted at once in the 1st and 2nd cycles. And sequential selection of two or more basic size memory is made, and while storing in the selected basic size memory the packet in which a sequential transfer is carried out by the 1st cycle, the packet by which the packet made sequential selection of the already stored basic size memory, and was stored in the basic size memory is read, and it is transmitted by the 2nd cycle.

[0018] According to invention according to claim 2, the amount of data of the packet transmitted at once in the 1st and 2nd cycle of timing different, respectively is made into basic size, and the basic size memory set as the basic size is connected to two or more juxtaposition. The 1st control circuit makes sequential selection of two or more

basic size memory, and stores in the selected basic size memory the packet in which a sequential transfer is carried out by the 1st cycle. The packet which made sequential selection of two or more basic size memory, and was stored in the basic size memory is read, and the 2nd control circuit is transmitted by the 2nd cycle.

[0019] According to invention according to claim 3, two or more basic size memory consists of basic size memory for reception connected to two or more juxtaposition since a receive packet was stored, and basic size memory for transmission connected to two or more juxtaposition since a transmitting packet was stored. In the 1st and 2nd cycle, sequential selection of the basic size memory for transmission is made, data are read, in the 1st and 2nd cycle, sequential selection of the basic size memory for reception is made, and, as for the 1st and 2nd control circuit, data are written in, respectively.

[0020] According to invention according to claim 4, between the 1st and 2nd cycle, data are transmitted using two or more channels, and the block which consists of two or more basic size memory and the 1st and 2nd control circuit by which parallel connection was carried out corresponding to the number of channels of these plurality is connected to juxtaposition. And two or more blocks with which parallel connection of the block selection circuitry was carried out corresponding to two or more channels are chosen, and data are transmitted.

[0021] According to invention according to claim 5, one of the basic size memory which is in an empty condition among two or more basic size memory is chosen, and a packet is stored in the selected basic size memory from the 1st control circuit.

[0022] According to invention according to claim 6, one of the basic size memory which is in a full condition among basic size memory is chosen, and a packet is read from the basic size in which the packet was already stored by the 2nd control circuit.

[0023] According to invention according to claim 7, either of the 1st or 2nd cycle is a cycle in the transfer mode to which data transfer is guaranteed for every fixed period between external peripheral devices, and data are transmitted from basic size memory in the cycle.

[0024]

[Embodiment of the Invention] Hereafter, the gestalt of the 1 operation which materialized this invention is explained according to drawing 1 - drawing 9. Drawing 1 shows the system configuration based on IEEE1394 which is one of the serial interface. drawing 1 -- setting -- a personal computer (henceforth a personal computer) 1, and the digital VTR 2 as an external peripheral device -- the same -- the color page printer 3 as a peripheral device -- and similarly the digital camcorder 4 as a peripheral device is mutually connected through the IEEE1394 bus cable (henceforth an IEEE1394 bus) 5. A

personal computer 1, digital VTR 2, the color page printer 3, and the digital camcorder 4 are equipped with the IEEE1394 protocol controller for making possible data transfer mutually based on the IEEE1394 protocol through the IEEE1394 bus 5, respectively.

[0025] Drawing 2 shows the block circuit for explaining the configuration of the device 4 equipped only with the function to transmit image data, for example, a digital camcorder. The digital camcorder 4 is equipped with the AV/C protocol interface (henceforth AVIF) 11, and the IEEE1394 protocol controller (henceforth IPC) 12 as a data transfer unit. The image (animation) data obtained by CCD which is not illustrated are inputted into AVIF11. AVIF11 generates the packet of the amount of data which transmits the predetermined data transfer period (for example, 133 microseconds) as the 1st or 2nd cycle, and outputs it to IPC12 while it changes the image data inputted into the signal based on an AV/C protocol.

[0026] IPC12 is connected with the IEEE1394 protocol controller with which other peripheral devices (node) of said personal computer 1 grade were equipped through the IEEE1394 bus 5. IPC12 transmits the image data inputted from AVIF11 to the target node using isochronous (Isochronous) transfer mode (Isoc transfer mode).

[0027] IPC12 generates an isochronous packet (Isoc packet) based on the image data inputted. And IPC12 performs an Arbitration, acquires the right of the IEEE1394 bus 5, and transmits to the node aiming at an Isoc packet.

[0028] Here, an Isoc packet is explained. As shown in drawing 8, the Isoc packet 13 is constituted by a packet header 14, a header CRC 15, data division 16, and data CRC 17. Information, such as a data length of the Isoc packet 13 and a channel number used for a transfer, is stored in the packet header 14. The error detecting code generated by the predetermined method to the packet header 14 is stored in the header CRC 15.

[0029] Data division 16 consist of CIP header 16a and payload data 16b. Information, such as a format of payload data 16b, is stored in CIP header 16a. The data of the number corresponding to an AV/C protocol in payload data 16b are stored. The number of data responds to a transfer rate and the amount of data needed for per unit time amount, and is 240/480/960byte. It is set as which the amount of data. The error detecting code by the predetermined method is stored in data CRC 17 to the data stored in data division 16.

[0030] Data division are inputted into IPC12 from AVIF11. IPC12 adds a header unit, Header CRC, and Data CRC to the data division inputted, and generates an Isoc packet. And IPC12 transmits the generated Isoc packet to a partner's node through an IEEE1394 bus.

[0031] As shown in drawing 3, the IEEE1394 protocol controller (IPC) 12 consists of a

link layer processing circuit 21 and a physical layer processing circuit 22. The data division 16 shown in drawing 8 from AVIF11 are inputted into the link layer processing circuit 21. The link layer processing circuit 21 is formed in order to generate the Isoc packet 13 shown in drawing 8 based on data division 16, and it outputs the generated Isoc packet 13 to the physical layer processing circuit 22.

[0032] The physical layer processing circuit 22 is formed in order to generate the signal corresponding to an IEEE1394 protocol for the Isoc packet 13 inputted, and it transmits the generated signal through the IEEE1394 bus 5.

[0033] It has the packet generation circuit 28 where the link layer processing circuit 21 consists of the FIFO block 23, the selection sections 24 and 25 and the header generation section 26, and the CRC generation section 27 for data storage. The header generation section 26 is formed in order to generate the packet header 14 and Header CRC 15 which are shown in drawing 8. The CRC generation section 27 is formed in order to generate data CRC 17 based on the data division 16 shown in drawing 8. It is prepared in order that the selection section 24 may add a packet header 14 and a header CRC 15 to data division 16, and the selection section 25 is formed in order to add data CRC 17 to data division 16.

[0034] Sequential storing of a peripheral device 16, i.e., the data division which transmit to a partner's node, is carried out from AVIF11 at the FIFO block 23. By adding data CRC 17 to the tail of data division 16, the packet generation circuit 28 generates the transmitting packet (Isoc packet) 13, and transmits it to the physical layer processing circuit 22 while it adds a packet header 14 and a header CRC 15 to the head of the data division 16 within the FIFO block 23.

[0035] As shown in drawing 3, the physical layer processing circuit 22 consists of a parallel serial conversion circuit (henceforth PS conversion circuit) 29, a DS modulation circuit 30, and an IEEE1394 interface circuitry (henceforth an IEEE1394IF circuit) 31.

[0036] The Isoc packet generated in the link layer processing circuit 21 is inputted into the PS conversion circuit 29. The PS conversion circuit 29 changes the Isoc packet of the parallel data inputted into serial data, and outputs it to the DS modulation circuit 30.

[0037] The DS modulation circuit 30 carries out the sequential input of the serial data outputted from the PS conversion circuit 29, and generates strobe data based on the serial data and the clock signal which is not illustrated. In addition, a clock signal is a signal used as the criteria on which IPC12 operates, and is similarly supplied to other circuits. And the DS modulation circuit 30 outputs the serial data inputted and the generated strobe data to the IEEE1394IF circuit 31.

[0038] The IEEE1394IF circuit 31 performs an Arbitration, in order to acquire the right

of the IEEE1394 bus 5 first. And if the right of a bus is acquired, the IEEE1394IF circuit 31 will be outputted to the circumference circuit (node) which targets the serial data and strobe data which are inputted through the IEEE1394 bus 5.

[0039] Next, the configuration of the FIFO block 23 is explained according to drawing 4 - drawing 6 . As shown in drawing 4 , the FIFO block 23 is constituted by the basic size FIFO 41 as two or more basic size memory, the input-control circuit 42 as the 1st and 2nd control circuit, and the output-control circuit 43.

[0040] Each basic size FIFO 41 is set as the capacity doubled with the packet size of an AV/C protocol. In addition, at this operation gestalt, the capacity of each basic size FIFO 41 is CIP which constitutes the capacity 16 of the data outputted from AVIF11, i.e., the data division shown in drawing 8 . It is set as the number of data of header 16a and payload data 16b (which 240/480/960byte size).

[0041] Moreover, the number of the basic sizes FIFO 41 with which the FIFO block 23 is equipped is set up according to the number of channels used for transmitting data, the difference of transfer spacing of an AV/C protocol and an IEEE1394 protocol, etc.

[0042] The data division 16 shown in drawing 8 are inputted into each basic size FIFO 41 in common. Whenever each basic size FIFO 41 writes in data one by one, respectively, it increments automatically the address which writes in data next.

[0043] As shown in drawing 5 , each basic size FIFO 41 outputs the full signal SF to the input-control circuit 42, when the data of one packet according [data] to full, i.e., an AV/C protocol, are stored, respectively. Moreover, as shown in drawing 6 , each basic size FIFO 41 outputs the empty signal SE to the output-control circuit 43, when data are not written in, respectively.

[0044] The input-control circuit 42 carries out sequential use of each basic size FIFO 41 based on the full signal SF outputted from each basic size FIFO 41. Specifically, the input-control circuit 42 outputs an input selection signal to the following basic size FIFO 41, when data are stored in the basic size FIFO 41 at full based on the full signal SF outputted, respectively from each basic size FIFO 41. The basic size FIFO 41 as which the input selection signal was inputted carries out sequential storing of the packet data inputted.

[0045] The output-control circuit 43 carries out sequential use of each basic size FIFO 41 based on the empty signal SE outputted from each basic size FIFO 41. Specifically, the output-control circuit 43 outputs an output selection signal to the following basic size FIFO 41, when all the data stored in the basic size FIFO 41 based on the empty signal SE outputted, respectively from each basic size FIFO 41 are outputted. The basic size FIFO 41 as which the output selection signal was inputted carries out the

sequential output of the packet data stored.

[0046] That is, the FIFO block 23 makes sequential selection of the basic size FIFO 41 which it had, and stores the data division 16 contained in the selected basic size FIFO 41 at one Isoc packet 13, respectively. Moreover, the FIFO block 23 chooses the basic size FIFO 41 of a full condition, and carries out the sequential output of the data division 16 from the selected basic size FIFO 41.

[0047] When writing in data division 16, the basic size FIFO 41 of an empty condition is chosen among two or more basic sizes FIFO 41. Moreover, when reading data division 16, the basic size FIFO 41 of a full condition is chosen among two or more basic sizes FIFO 41.

[0048] it is shown in drawing 5 -- as -- the input-control circuit 42 -- for example, OR circuit 44a -- it consists of 44c, 45, and a control shift register 46. In addition, by drawing 5, in order to simplify explanation, the case where the FIFO block 23 is equipped with three basic sizes 41a-FIFO 41c is explained.

[0049] Only the number of the basic sizes 41a-FIFO 41c with which each OR circuits 44a-44c were equipped with two input terminals, and the FIFO block 23 was equipped is formed. The control circuit which does not illustrate each OR circuits 44a-44c to one input terminal to the write enable signal WE is inputted, and the input terminal of another side is connected to the register 46 for control. The output terminal of each OR circuits 44a-44c is connected to the basic sizes 41a-FIFO 41c, respectively.

[0050] OR circuit 45 is equipped with the input terminal of the number of said basic sizes 41a-FIFO 41c, and the full signals SF1-SF3 outputted from the basic sizes 41a-FIFO 41c, respectively are inputted into each input terminal. OR circuit 45 is outputted to a control shift register 46 by making into a signal the result of having carried out OR operation of the full signals SF1-SF3 outputted from each basic sizes 41a-FIFO 41c.

[0051] The control shift register 46 consists of shift registers which consist of the predetermined number of bits of the cycloid type which makes clocked into the signal outputted from OR circuit 45. The number of bits of the shift register is set as the number of the basic sizes 41a-FIFO 41c with which the FIFO block 23 is equipped.

[0052] If a control shift register 46 is cleared in the time of the injection of a power source etc., it will set each bit to "011." Henceforth, a control shift register 46 performs "101", "110", "011", and a shift action for each bit one by one, whenever a signal is inputted from OR circuit 45.

[0053] The signal inputted from OR circuit 45 serves as an OR of the full signals SF1-SF3 outputted from each basic sizes 41a-FIFO 41c. The full signals SF1-SF3 will be

outputted, respectively, if the data stored in each basic sizes 41a-FIFO 41c will be in the condition of full. Therefore, a control shift register 46 performs a shift action the full signals SF1-SF3, for example, by starting, namely, detecting the full condition of each basic sizes 41a-FIFO 41c, outputted from each basic sizes 41a-FIFO 41c.

[0054] And a control shift register 46 outputs the signal corresponding to each bit to OR circuits 44a-44c, respectively. The write enable signal WE is inputted into those OR circuits 44a-44c, respectively. Therefore, the OR circuit which inputted the signal corresponding to "0" of a bit, for example, OR circuit 44a, outputs the input selection signal SI 1 to corresponding basic size FIFO41a. On the other hand, OR circuits 44b and 44c which inputted the signal corresponding to a bit "1" output the input selection signals SI2 and SI3 of H level to the basic sizes 41b and FIFO 41c which correspond, respectively.

[0055] Each basic sizes 41a-FIFO 41c perform write-in actuation, when the input-control signals SI1-SI3 are L level, respectively, and in the case of H level, they do not perform write-in actuation. And the input-control signals SI1-SI3 serve as a condition of each bit of a control shift register 46, and an OR with the write enable signal WE. Therefore, it sets each time, one is chosen and, as for the selected basic sizes 41a-FIFO 41c, each basic sizes 41a-FIFO 41c perform write-in actuation.

[0056] And a control shift register 46 outputs the signal corresponding to each bit while carrying out the shift action of each bit one by one based on the full signals SF1-SF3 outputted from each basic sizes 41a-FIFO 41c. Therefore, whenever one packet data is stored, the following basic size FIFO is chosen and, as for each basic sizes 41a-FIFO 41c, packet data are written in the selected basic size FIFO.

[0057] the input-control circuit 42 where the output-control circuit 43 is shown in drawing 5 as shown in drawing 6 -- the same -- OR circuit 47a -- it consists of 47c, 48, and a control shift register 49. In addition, by drawing 6 , in order to simplify explanation, the case where the FIFO block 23 is equipped with three basic sizes 41a-FIFO 41c is explained.

[0058] Only the number of the basic sizes 41a-FIFO 41c with which each OR circuits 47a-47c were equipped with two input terminals, and the FIFO block 23 was equipped is formed. The control circuit which does not illustrate each OR circuits 47a-47c to one input terminal to the lead enable signal RE is inputted, and the input terminal of another side is connected to the register 49 for control. The output terminal of each OR circuits 47a-47c is connected to the basic sizes 41a-FIFO 41c which correspond, respectively.

[0059] OR circuit 48 is equipped with the input terminal of the number of said basic

sizes 41a-FIFO 41c, and the empty signals SE1-SE3 outputted from the basic sizes 41a-FIFO 41c, respectively are inputted into each input terminal. OR circuit 48 is outputted to a control shift register 49 by making into a signal the result of having carried out OR operation of the empty signals SE1-SE3 outputted from each basic sizes 41a-FIFO 41c.

[0060] The control shift register consists of shift registers which consist of the predetermined number of bits of the cycloid type which makes clocked into the signal outputted from OR circuit 48. The number of bits of the shift register is set as the number of the basic sizes 41a-FIFO 41c with which the FIFO block 23 is equipped.

[0061] If a control shift register 49 is cleared in the time of the injection of a power source etc., it will set each bit to "011." Henceforth, a control shift register performs "101", "110", "011", and a shift action for each bit one by one, whenever a signal is inputted from OR circuit 48.

[0062] The signal inputted from OR circuit 48 serves as an OR of the empty signal outputted from each basic sizes 41a-FIFO 41c. The empty signals SE1-SE3 will be outputted if the data stored in each basic sizes 41a-FIFO 41c will be in an empty condition. Therefore, a control shift register 49 performs a shift action the empty signals SE1-SE3, for example, by starting, namely, detecting the empty condition of the basic sizes 41a-FIFO 41c, outputted from each basic sizes 41a-FIFO 41c.

[0063] And a control shift register 49 outputs the signal corresponding to each bit to OR circuits 47a-47c, respectively. The lead enable signal RE is inputted into those OR circuits 47a-47c, respectively. Therefore, the OR circuit which inputted the signal corresponding to "0" of a bit, for example, OR circuit 47a, outputs the output selection signal SO 1 to corresponding basic size FIFO41a. On the other hand, OR circuits 47b and 47c which inputted the signal corresponding to a bit "1" output the output-control signals SO2 and SO3 of H level to the basic sizes 41b and FIFO 41c which correspond, respectively.

[0064] Each basic size FIFO will perform read-out actuation, if the lead enable signal RE of L level is inputted, respectively, and if the signal of H level is inputted, it will not perform read-out actuation. Therefore, it sets each time, one is chosen and, as for the selected basic size FIFO, each basic size FIFO performs read-out actuation.

[0065] And a control shift register 49 outputs the signal corresponding to each bit while carrying out the shift action of each bit one by one based on the empty signals SE1-SE3 outputted from each basic sizes 41a-FIFO 41c. Therefore, the packet data with which the following basic size FIFO was chosen and each basic sizes 41a-FIFO 41c were stored in the selected basic size FIFO whenever one packet data was read are read.

[0066] Drawing 9 is a timing chart which shows transmission of image data. In addition, by drawing 9, in order to simplify explanation, when the basic size FIFO is connected to 2 juxtaposition, in drawing 5 and 6, actuation in case the basic sizes 41a and FIFO 41b are formed is explained.

[0067] AVIF11 shown in drawing 3 outputs the cycle of 133 microseconds in which the image data inputted was specified by the AV/C protocol, and the packet data of predetermined size to IPC12. Basic size FIFO41a is first chosen by the input-control circuit among the basic sizes 41a and FIFO 41b shown in drawing 5. Selected basic size FIFO41a carries out the sequential storage of the packet data (data division 16 shown in drawing 8) inputted from AVIF11.

[0068] If the data for one packet are stored, basic size FIFO41a will be in a full condition, and will output the full signal SF 1 to the input-control circuit 42. Then, the input-control circuit 42 chooses the following basic size FIFO41b. Therefore, the packet data outputted to a degree from AVIF11 are written in basic size FIFO41b.

[0069] On the other hand, if basic size FIFO41a will be in a full condition, the output-control circuit 43 will choose basic size FIFO41a of a full condition. Selected basic size FIFO41a outputs one stored packet data to the packet generation circuit 28 one by one.

[0070] That is, it sets in each basic sizes 41a and FIFO 41b which constitute the FIFO block 23 each time, and either read-out or writing is performed in them. Therefore, the usual RAM (single port type) with one input/output port etc. can be used for each basic sizes 41a and FIFO 41b. Single port type RAM has the small scale of a circumference circuit etc. compared with dual port type RAM of this capacity, and its about 20% area is small. Consequently, compared with the controller which carried dual port type RAM on the same chip, the chip size of IPC12 of this operation gestalt becomes small, and serves as a low price.

[0071] Moreover, each basic sizes 41a and FIFO 41b are set as the capacity according to the amount of data of the packet data inputted at a time. And each basic sizes 41a and FIFO 41b output the full signals SF1 and SF2 and the empty signals SE1 and SE2 according to a full condition and an empty condition, respectively. Based on the full signals SF1 and SF2 and the empty signals SE1 and SE2, the input-control circuit 42 and the output-control circuit 43 make sequential selection of each basic sizes 41a and FIFO 41b, and were made to perform writing and read-out of data, respectively. Therefore, each basic sizes 41a and FIFO 41b do not have the need of managing the amount of data stored each time, and the control as which the input-control circuit 42 and the output-control circuit 43 choose each basic sizes 41a and FIFO 41b becomes

easy.

[0072] In addition, when it has two or more each basic sizes FIFO 41, similarly, the input-control circuit 42 and the output-control circuit 43 make sequential selection of the basic size FIFO 41 of an empty condition, write in data, choose the basic size FIFO 41 of a full condition, and read data.

[0073] The packet generation circuit 28 shown in drawing 3 adds the packet header 14 and Header CRC 15 which are shown in drawing 8 to the packet data inputted from the FIFO block 23, and data CRC 17, generates the Isoc packet 13, and outputs the generated Isoc packet 13 to the physical layer processing circuit 22.

[0074] The physical layer processing circuit 22 will perform an Arbitration, if the Isoc packet 13 is inputted from the link layer processing circuit 21. And the physical layer processing circuit 22 will transmit the Isoc packet 13, if the right of the IEEE1394 bus 5 is acquired.

[0075] At this time, the node called the one root is set to the topology which consists of personal computers 1 shown in drawing 1 with two or more peripheral devices (node) between digital camcorders 4. This root node is an original clock (CTR) about Isoc transfer mode. Time management is carried out. As shown in drawing 7, a root node transmits a cycle-start packet (Cycle-start packet:CS packet) to the predetermined transfer cycle (125 microseconds) as the 1st or 2nd cycle at 1 time of a rate. If the non-signal state on the bus called a subaction gap (SG) is detected when a root node counts CTR 125microsecond of confidence, specifically, it will transmit CS packet preferentially. In the CS packet, it is CTR of a root node. A value is included.

[0076] Each node is CTR contained in the CS packet, if CS packet is received. It is based on a value and is CTR of confidence. Time amount doubling (adjustment) is carried out. The node which received CS packet becomes possible [performing an isochronous transfer], and performs an Arbitration for acquisition of the royalty of a bus. And the node which acquired the right of a bus among each node transmits an Isoc packet immediately after reception of CS packet. Two or more nodes use Isoc transfer mode, namely, when a multiple channel exists, the number of channels is restricted from the amount of data which can transmit within 125 microseconds beforehand. Therefore, as for all the nodes that use Isoc transfer mode, the opportunity of a transfer is given by somewhere in the periods of 125 microseconds. Data transfer of a constant rate is performed to a fixed period by the above actuation.

[0077] By the way, in the time of day t1 of drawing 9, the case where data do not do at the time of transmitting initiation of an Isoc packet arises from the difference between the transfer cycle (133 microseconds) of an AV/C protocol, and the transfer cycle (125

microseconds) of an IEEE1394 protocol. In this case, the physical layer processing circuit 22 transmits the dummy packet which does not contain payload data 16b. This dummy packet consists of the packet header 14 and Header CRC 15 which are shown in drawing 8, CIP header 16a, and data CRC 17. The node which received the dummy packet waits for a transfer of an Isoc packet to the following Isoc cycle. Also in this case, since the data outputted from AVIF11 since two or more juxtaposition is equipped with the basic size FIFO 41 are stored in the basic size FIFO 41 chosen as the degree, data do not overflow them. Moreover, since the data outputted from AVIF11 to the basic size FIFO 41 chosen as the degree are written in, it is not necessary to suspend output actuation of AVIF11. Therefore, if it sees from an image-processing circuit side, since packet data can be continued and outputted in a predetermined transfer cycle with an AV/C protocol, there is no need of performing excessive processing of a stop of data etc., and the part circuitry is simplified.

[0078] According to the gestalt of this operation, the following effectiveness is done so as described above.

(1) The basic sizes 41a and FIFO 41b of the size of each packet data are formed in juxtaposition at the FIFO block 23 which stores the packet data inputted by the AV/C protocol. It sets in each basic sizes 41a and FIFO 41b each time, and either read-out or writing is performed in them. Therefore, the usual RAM (single port type) with one input/output port etc. can be used for each basic sizes 41a and FIFO 41b. Since the scale of a circumference circuit etc. is small compared with dual port type RAM of this capacity, single port type RAM has a small loading area about 20%. Consequently, compared with the controller which carried dual port type RAM on the same chip, the chip size of IPC12 of this operation gestalt can be made small, and IPC12 can be made into a low price.

[0079] (2) Each basic size FIFO 41 is set as the amount of data transmitted to one cycle. Therefore, each basic size FIFO 41 outputs an empty signal, when it is in the empty condition that data are not stored, and when it is in the full condition that all data are stored, it outputs a full signal. If a full signal is inputted from the basic size FIFO 41 which is writing in data, the input-control circuit 42 will choose the following basic size FIFO 41, and will write in data. When the empty signal was inputted from the basic size FIFO 41 which has read data, the output-control circuit 43 chooses the following basic size FIFO 41, and was made to read data. Consequently, since it is not necessary to manage the amount of data stored in each basic size FIFO 41, the configuration of the input-control circuit 42 and the output-control circuit 43 can be simplified, and contraction of the area of IPC23 can be aimed at.

[0080] In addition, this invention may be carried out in the following modes besides said operation gestalt.

(1) Although the above-mentioned operation gestalt explained the case where image data was transmitted using one channel, as shown in drawing 10, you may make it the business which transmits image data using two or more channels 1-3 among one Isoc cycle. In this case, the FIFO block 51 which is shown in drawing 11 and which is carried out is used. This FIFO block 51 has the composition of having connected to juxtaposition two or more FIFO blocks 23 of the number corresponding to the channel which uses the FIFO block 23 of the above-mentioned operation gestalt between the channel change control circuit 52 and 53. In addition, in drawing 11, the capacity of the basic size FIFO 41 is set as 480 bytes. Since each basic size FIFO 41 is performed by this configuration to the timing from which writing and read-out differ, by it, it can use single port type RAM. [as well as the above-mentioned operation gestalt]

[0081] (2) Although shape was taken to IPC12 equipped with the transmitting function of image data with the above-mentioned operation gestalt, as shown in drawing 12, you may take shape and carry out to IPC61 equipped with the reception function of image data. IPC61 is equipped with the link layer processing circuit 65 which consists of the physical layer processing circuit 62, a packet analysis circuit 63, and FIFO block 64. The physical layer processing circuit 62 outputs the data which carried out serial parallel conversion to the packet analysis circuit 63 of the link layer processing circuit 65 while it carries out DS recovery of the Isoc packet 13 (refer to drawing 8) which receives from an IEEE1394 bus and generates a predetermined clock signal. The packet analysis circuit 63 outputs only data division 16 to the FIFO block 64 from the Isoc packet 13. The FIFO block 64 is constituted by two or more basic sizes FIFO 41, input-control circuits 42, and output-control circuits 43 like the above-mentioned operation gestalt. Drawing 13 is a timing chart when the basic size FIFO 41 is connected to 2 juxtaposition. The input-control circuit 42 chooses two basic sizes FIFO 41 as every Isoc cycle (125 microseconds) by turns, and writes in data. The output-control circuit 43 outputs the data which chose and read the basic size FIFO 41 of a full condition to the image IC interface circuitry 65 one by one. Since each basic size FIFO 41 is performed by this configuration to the timing from which writing and read-out differ, by it, it can use single port type RAM. [as well as the above-mentioned operation gestalt]

[0082] (3) Although shape was taken to IPC12 equipped with the transmitting function of image data with the above-mentioned operation gestalt, as shown in drawing 14, you may take shape and carry out to IPC71 equipped with transmission and the reception function of image data. IPC71 consists of a physical layer processing circuit 72 and a

link layer processing circuit 75, and the physical layer processing circuit 72 is equipped with the serial-parallel conversion circuit (SP conversion circuit) 73 and the parallel serial conversion circuit (PS conversion circuit) 74. A packet analysis circuit 76, a packet generation circuit 77, and FIFO block 78 are consisted of by the link layer processing circuit 75. It has the basic sizes 80a and FIFO 80b prepared in order to carry out sequential storing of the basic sizes 79a and FIFO 79b and the transmit data which were prepared in order that the FIFO block 78 might carry out sequential storing of the received data. Moreover, the control circuits 81 and 82 which control I/O are established in the FIFO block 78, and parallel connection of the basic sizes 79a, 79b, 80a, and FIFO 80b is carried out between both the control circuits 81 and 82. Both the control circuits 81 and 82 read the stored data, and output them to an image ICIF83 while they store the data which changed the basic sizes 79a and FIFO 79b one by one, and were received, when receiving data, respectively. Moreover, both the control circuits 81 and 82 read the stored data, and output them to the packet generation circuit 77 while they store the data which change the basic sizes 80a and FIFO 80b one by one, and are inputted from an image ICIF84, when transmitting data, respectively. Since each basic sizes 79a, 79b, 80a, and FIFO 80b are performed by this configuration to the timing from which writing and read-out differ, by it, they can use single port type RAM. [as well as the above-mentioned operation gestalt]

[0083] (4) Although the above-mentioned operation gestalt explained the case where data were transmitted using Isoc transfer mode, you may make it transmit data using other transfer modes. For example, the IEEE1394 protocol is equipped with ray synchronous (Asynchronous) transfer mode (henceforth Asyn transfer mode). Although Asyn transfer mode does not perform time management, since the check of reception is possible (the acknowledgement packet (Acknowledge packet) which usually shows a receive state to the packet which transmitted is answered), it may be used for data transfer, such as a command of an AV/C protocol. By Asyn transfer mode, when a receiving-side node cannot receive for a certain reason, I tell that to a transmitting side using an acknowledgement packet, and it is specified that I can have you transmit again.

[0084] In this case, when two or more packets are continuously stored in one FIFO, even if former transfer data are held in FIFO, if the pointer in which read-out of data is shown is not changed into a head by complicated actuation, the same data cannot be transmitted again. However, with each above-mentioned operation gestalt, since it has stored in different basic size FIFO 41 for every packet, transmission of the output-control circuit 43 is again attained only by changing FIFO41 which returns

namely, uses pointer value. Therefore, in this case, the output control circuit 43 is made to make target FIFO41 unusable until it can check reception of a corresponding ray synchronous packet after transmission of data.

[0085] (5) Although the capacity of each basic size FIFO 41 was set as the capacity of the data division 16 (refer to drawing 8) outputted from Image IC with the above-mentioned operation gestalt, it may be set as the capacity after adding a packet header, a CIP header, etc., and you may carry out. That is, although the FIFO block 23 was made into the input side of the selection section 24 which adds a packet header 14 and a header CRC 15 with the above-mentioned operation gestalt, it considers as the configuration with which the output side of the selection section 24 was equipped. Moreover, it considers as the configuration which equipped with the FIFO block 23 the output side of the selection circuitry 25 which adds data CRC 17.

[0086]

[Effect of the Invention] As explained in full detail above, according to invention according to claim 1, the data transfer approach which can make a chip size small can be offered.

[0087] Moreover, according to invention according to claim 2 to 7, it is in offering the data transfer unit which can make a chip size small.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The system configuration Fig. using an IEEE1394 bus.

[Drawing 2] The block diagram for explaining the configuration in a peripheral device.

[Drawing 3] The block diagram of an IEEE1394 protocol controller.

[Drawing 4] The block diagram of a FIFO block.

[Drawing 5] The circuit diagram of an input control circuit.

[Drawing 6] The circuit diagram of an output control circuit.

[Drawing 7] The timing chart which shows an Isoc transfer cycle.

[Drawing 8] The explanatory view showing the configuration of an Isoc packet.

[Drawing 9] The timing chart which shows the send action of image data.

[Drawing 10] The timing chart of the Isoc transfer cycle by the multiple channel.

[Drawing 11] The block diagram of the FIFO block which uses a multiple channel.

[Drawing 12] The outline block diagram of a reception only controller.

[Drawing 13] The timing chart which shows reception actuation of image data.

[Drawing 14] The block diagram of the controller which transmits and receives image data.

[Description of Notations]

41 Basic Size FIFO as Basic Size Memory

42 Input-Control Circuit as 1st or 2nd Control Circuit

43 Output-Control Circuit as 2nd or 1st Control Circuit

[Translation done.]



NPADOC & legal status search

[New search](#)[Save to Word](#)

INPADOC Patent Family JP10173723

Publication No.	Publication date	Filing No.	Priority	Links
JP 10173723A	19980626	JP 33225896A 19961212	JP 33225896A 19961212	JAPIO

NPADOC Legal Status

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173723

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl. ⁶	識別記号
H 0 4 L 29/04	
G 0 6 F 5/06	3 3 3
13/00	3 5 3
13/38	3 5 0

F I		
H 0 4 L	13/00	3 0 3 B
G 0 6 F	5/06	3 3 3
	13/00	3 5 3 L
	13/38	3 5 0

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平8-332258

(22) 出願日 平成 8 年(1996)12月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 大井 健次

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宜

最終頁に続く

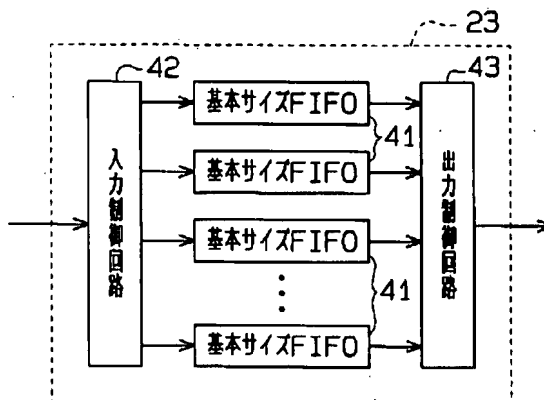
(54) 【発明の名称】 データ転送方法及びデータ転送装置

(57) 【要約】

【課題】チップサイズを小さくすることができるデータ転送方法及びデータ転送装置を提供する。

【解決手段】AV/Cプロトコルにより入力されるパケットデータを格納するFIFOブロック23には、各パケットデータのサイズの複数の基本サイズFIFO41が並列に設けられている。各基本サイズFIFO41には、その時々において、読み出し又は書き込みの何れか一方のみが行われる。そして、各基本サイズFIFO41には、1つの入出力ポートを持った通常のRAM(シングルポート・タイプ)等が用いられる。

FIFOブロックのブロック図



【特許請求の範囲】

【請求項1】 第1のサイクルにて順次転送されるデータをデータ格納用メモリに格納し、前記メモリに格納したデータを読み出して前記第1のサイクルとは異なるタイミングの第2のサイクルにて順次転送するデータ転送方法において、

前記第1及び第2のサイクルにて一度に転送されるパケットのデータ量を基本サイズとし、その基本サイズに設定されデータを格納する基本サイズメモリを複数並列に接続し、

前記複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに前記第1のサイクルにより順次転送されるパケットを格納するとともに、パケットが既に格納された基本サイズメモリを順次選択してその基本サイズメモリに格納されたパケットを読み出して第2のサイクルにより転送するようにしたデータ転送方法。

【請求項2】 第1のサイクルにて順次転送されるデータをデータ格納用メモリに格納し、前記メモリに格納したデータを読み出して前記第1のサイクルとは異なるタイミングの第2のサイクルにて順次転送するデータ転送装置において、

前記第1及び第2のサイクルにて一度に転送されるパケットのデータ量を基本サイズとし、その基本サイズに設定され、複数並列に接続された基本サイズメモリと、

前記複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに前記第1のサイクルにより順次転送されるパケットを格納する第1の制御回路と、

前記複数の基本サイズメモリを順次選択してその基本サイズメモリに格納されたパケットを読み出して第2のサイクルにより転送する第2の制御回路とを備えたデータ転送装置。

【請求項3】 前記複数の基本サイズメモリは、受信パケットを格納するために複数並列に接続された受信用基本サイズメモリと、送信パケットを格納するために複数並列に接続された送信用基本サイズメモリとから構成され、

前記第1、第2の制御回路は、それぞれ前記第1、第2のサイクルにて送信用基本サイズメモリを順次選択してデータを読み出し、前記第1、第2のサイクルにて受信用基本サイズメモリを順次選択してデータを書き込むようにした請求項2に記載のデータ転送装置。

【請求項4】 前記第1、第2のサイクルの間には複数のチャンネルを用いてデータが転送され、

前記並列接続された複数の基本サイズメモリと第1、第2の制御回路とからなるブロックを前記複数のチャンネル数に対応して並列に接続し、

前記複数のチャンネルに対応して前記並列接続された複数のブロックを選択するブロック選択回路を備えた請求項2又は3に記載のデータ転送装置。

【請求項5】 前記第1の制御回路は、前記複数の基本

サイズメモリの内、エンパティ状態にある基本サイズメモリの内1つを選択し、その選択した基本サイズメモリにパケットを格納するようにした請求項2乃至4に記載のデータ転送装置。

【請求項6】 前記第2の制御回路は、前記基本サイズメモリの内、フル状態にある基本サイズメモリの内1つを選択し、そのパケットが既に格納された基本サイズからパケットを読み出すようにした請求項2乃至4に記載のデータ転送装置。

【請求項7】 前記第1又は第2のサイクルの内の何れか一方は、外部周辺機器との間で一定の周期毎にデータ転送が保証される転送モードにおけるサイクルである請求項2乃至6に記載のデータ転送装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、データ転送方法及びデータ転送装置に係り、詳しくはシリアルインタフェースの規格であるIEEE1394規格に準拠したデータ転送装置に関するものである。

【0002】近年、マルチメディア化に伴って、パーソナルコンピュータと周辺機器間におけるデータ転送量の増大化及び転送速度の高速化が要求されている。特に、大量の音声や画像データを扱うデジタルビデオカメラ、デジタルVTR、カラーページプリンタ等の周辺機器とパーソナルコンピュータとを結ぶインタフェースについては、シリアルインタフェースの一つであるIEEE1394が注目されている。

【0003】

【従来の技術】近年、大量のデータであって連続性が要求されている動画等の画像データの転送には、リアルタイム性が発揮されるIEEE1394プロトコルが注目されている。IEEE1394プロトコルは、ある一定の周期毎に必ずデータ転送をできるアイソクロナス(Isochronous)転送モード(以下、Isoc転送モードという)を備えている。つまり、コンピュータに転送される画像(動画)データの転送時刻が不規則になると、画像(動画)を再生したとき不連続となりリアリティにかけられる。そこで、IEEE1394プロトコルにおけるIsoc転送モードにて、常に一定の時刻毎に画像(動画)データを転送すれば、リアリティのある画像(動画)を再生することができる。

【0004】また、デジタルビデオカメラ(DVCR)等のAV機器間でデジタルデータを転送するために、AV/Cプロトコルが用いられるようになってきている。そのため、カメラなどのAV機器には、画像ICとIEEE1394プロトコルコントローラ(以下、IPCという)とが備えられている。画像ICは、動画等の画像データを所定の転送単位毎に出力する。IPCは、画像ICから出力されるデータを含む転送データ(パケット)を生成する。そして、IPCは、生成したパケットを、Isoc転送モードにてコンピュータ等の相手の機器に転送する。

【0005】

【発明が解決しようとする課題】ところで、IEEE1394プロトコルとAV/Cプロトコルは、それぞれ別々に規定されているため、IEEE1394プロトコルのデータ転送周期と、AV/Cプロトコルのデータ転送周期とが異なっている。例えば、IEEE1394プロトコルにおけるIsoc転送モードではデータ転送周期が $125\mu s$ に設定され、AV/Cプロトコルではデータ転送周期が $133\mu s$ に設定されている。従って、2つのプロトコルによるデータ転送の位相が徐々にずれてくる。

【0006】そのため、IPCには少なくとも1つのバケット分のデータを保持できる容量のFIFOが接続される。IPCは、AV/Cプロトコルのデータ転送周期に基づいて生成した1つバケット分のデータをFIFOに一旦格納する。そして、IPCは、Isoc転送モードによるデータ転送周期に基づいてFIFOからデータを読み出して転送する。

【0007】即ち、FIFOには、AV/Cプロトコルによるデータ転送周期のデータの書き込みと、IEEE1394プロトコルによるデータ転送周期毎のデータの読み出しとが行われる。そして、このデータの読み出しと書き込みは、両プロトコルのデータ転送周期の違いから同時に発生する場合がある。従って、IPCには、データを読み出すためのポートと、データを書き込むためのポートとを備えた、いわゆるデュアルポート以上のFIFOを接続する必要がある。しかしながら、デュアルポートのFIFOは高価であるため、カメラ等の機器の価格が上昇するという問題がある。

【0008】また、両プロトコルによるデータ転送周期の違いから、画像ICから出力されるデータが、Isoc転送モードによるバケット転送に間に合わない場合が生じてくる。この場合、IPCは、FIFOに一旦格納されたデータを次のIsoc転送モードのデータ転送周期に順次読み出すと共に、次のAV/Cプロトコルによるデータ転送周期に次のバケットデータを書き込む。そのため、IPCは、FIFOのデータ量（書き込んだデータ数、読み出したデータ数、FIFOの残容量）を常に監視しながら、FIFOの読み出し・書き込みを行う必要があるため、処理が複雑化する。その処理の複雑化は、IPCのチップサイズを大きくして価格を上昇させるため、やはり、機器の価格が上昇するという問題がある。

【0009】本発明は上記問題点を解決するためになされたものであって、その目的はチップサイズを小さくすることができるデータ転送方法及びデータ転送装置を提供することにある。

【0010】

【課題を解決するための手段】本発明は上記目的を達成するため、請求項1に記載の発明は、第1のサイクルにて順次転送されるデータをデータ格納用メモリに格納し、前記メモリに格納したデータを読み出して前記第1

のサイクルとは異なるタイミングの第2のサイクルにて順次転送するデータ転送方法において、前記第1及び第2のサイクルにて一度に転送されるバケットのデータ量を基本サイズとし、その基本サイズに設定されデータを格納する基本サイズメモリを複数並列に接続し、前記複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに前記第1のサイクルにより順次転送されるバケットを格納するとともに、バケットが既に格納された基本サイズメモリを順次選択してその基本サイズメモリに格納されたバケットを読み出して第2のサイクルにより転送するようにしたことを要旨とする。

【0011】請求項2に記載の発明は、第1のサイクルにて順次転送されるデータをデータ格納用メモリに格納し、前記メモリに格納したデータを読み出して前記第1のサイクルとは異なるタイミングの第2のサイクルにて順次転送するデータ転送装置において、前記第1及び第2のサイクルにて一度に転送されるバケットのデータ量を基本サイズとし、その基本サイズに設定され、複数並列に接続された基本サイズメモリと、前記複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに前記第1のサイクルにより順次転送されるバケットを格納する第1の制御回路と、前記複数の基本サイズメモリを順次選択してその基本サイズメモリに格納されたバケットを読み出して第2のサイクルにより転送する第2の制御回路とを備えたことを要旨とする。

【0012】請求項3に記載の発明は、請求項2に記載のデータ転送装置において、前記複数の基本サイズメモリは、受信バケットを格納するために複数並列に接続された受信用基本サイズメモリと、送信バケットを格納するために複数並列に接続された送信用基本サイズメモリとから構成され、前記第1、第2の制御回路は、それぞれ前記第1、第2のサイクルにて送信用基本サイズメモリを順次選択してデータを読み出し、前記第1、第2のサイクルにて受信用基本サイズメモリを順次選択してデータを書き込むようにしたことを要旨とする。

【0013】請求項4に記載の発明は、請求項2又は3に記載のデータ転送装置において、前記第1、第2のサイクルの間には複数のチャネルを用いてデータが転送され、前記並列接続された複数の基本サイズメモリと第1、第2の制御回路とからなるブロックを前記複数のチャネル数に対応して並列に接続し、前記複数のチャネルに対応して前記並列接続された複数のブロックを選択するブロック選択回路を備えたことを要旨とする。

【0014】請求項5に記載の発明は、請求項2乃至4に記載のデータ転送装置において、前記第1の制御回路は、前記複数の基本サイズメモリの内、エンプティ状態にある基本サイズメモリの内の1つを選択し、その選択した基本サイズメモリにバケットを格納するようにしたことを要旨とする。

【0015】請求項6に記載の発明は、請求項2乃至4

に記載のデータ転送装置において、前記第2の制御回路は、前記基本サイズメモリの内、フル状態にある基本サイズメモリの内の1つを選択し、そのパケットが既に格納された基本サイズからパケットを読み出すようにしたことを要旨とする。

【0016】請求項7に記載の発明は、請求項2乃至6に記載のデータ転送装置において、前記第1又は第2のサイクルの内の何れか一方は、外部周辺機器との間で一定の周期毎にデータ転送が保証される転送モードにおけるサイクルであることを要旨とする。

【0017】(作用)従って、請求項1に記載の発明によれば、複数並列に接続された基本サイズメモリは、第1及び第2のサイクルにて一度に転送されるパケットのデータ量に設定される。そして、複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに第1のサイクルにより順次転送されるパケットを格納するとともに、パケットが既に格納された基本サイズメモリを順次選択してその基本サイズメモリに格納されたパケットが読み出されて第2のサイクルにより転送される。

【0018】請求項2に記載の発明によれば、それぞれ異なるタイミングの第1、第2のサイクルにて一度に転送されるパケットのデータ量を基本サイズとし、その基本サイズに設定された基本サイズメモリを、複数並列に接続する。第1の制御回路は、複数の基本サイズメモリを順次選択し、その選択した基本サイズメモリに第1のサイクルにより順次転送されるパケットを格納する。第2の制御回路は、複数の基本サイズメモリを順次選択してその基本サイズメモリに格納されたパケットが読み出されて第2のサイクルにより転送される。

【0019】請求項3に記載の発明によれば、複数の基本サイズメモリは、受信パケットを格納するために複数並列に接続された受信用基本サイズメモリと、送信パケットを格納するために複数並列に接続された送信用基本サイズメモリとから構成される。第1、第2の制御回路は、それぞれ第1、第2のサイクルにて送信用基本サイズメモリを順次選択してデータを読み出し、第1、第2のサイクルにて受信用基本サイズメモリが順次選択されてデータが書き込まれる。

【0020】請求項4に記載の発明によれば、第1、第2のサイクルの間には複数のチャネルを用いてデータが転送され、それら複数のチャネル数に対応して並列接続された複数の基本サイズメモリと第1、第2の制御回路とからなるブロックを並列に接続する。そして、ブロック選択回路は、複数のチャネルに対応して並列接続された複数のブロックが選択され、データが転送される。

【0021】請求項5に記載の発明によれば、複数の基本サイズメモリの内、エンプティ状態にある基本サイズメモリの内の1つが選択され、その選択された基本サイズメモリには第1の制御回路からパケットが格納される。

【0022】請求項6に記載の発明によれば、基本サイズメモリの内、フル状態にある基本サイズメモリの内の1つが選択され、そのパケットが既に格納された基本サイズからパケットが第2の制御回路により読み出される。

【0023】請求項7に記載の発明によれば、第1又は第2のサイクルの内の何れか一方は、外部周辺機器との間で一定の周期毎にデータ転送が保証される転送モードにおけるサイクルであり、そのサイクルにて基本サイズメモリからデータが転送される。

【0024】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図1～図9に従って説明する。図1は、シリアルインタフェースの一つであるIEEE1394に準拠したシステム構成を示す。図1において、パーソナルコンピュータ(以下、パソコンという)1、外部周辺機器としてのデジタルVTR2、同じく周辺機器としてのカラーページプリンタ3、及び、同じく周辺機器としてのデジタルビデオカメラ4は、IEEE1394バスケーブル(以下、IEEE1394バスという)5を介して互いに接続されている。パソコン1、デジタルVTR2、カラーページプリンタ3、及び、デジタルビデオカメラ4は、IEEE1394バス5を介して互いにIEEE1394プロトコルに準拠したデータ転送を可能にするためのIEEE1394プロトコルコントローラをそれぞれ備えている。

【0025】図2は、画像データを送信する機能のみを備えた機器、例えば、デジタルビデオカメラ4の構成を説明するためのブロック回路を示す。デジタルビデオカメラ4は、AV/Cプロトコルインタフェース(以下、AVIFという)11、及び、データ転送装置としてのIEEE1394プロトコルコントローラ(以下、IPCという)12を備えている。AVIF11には、図示しないCCD等により得られた画像(動画)データが入力される。AVIF11は、入力される画像データを、AV/Cプロトコルに準拠した信号に変換すると共に、第1又は第2のサイクルとしての所定のデータ転送周期(例えば、133 μ s)にて送信するデータ量のパケットを生成し、IPC12に出力する。

【0026】IPC12は、IEEE1394バス5を介して前記パソコン1等の他の周辺機器(ノード)に備えられたIEEE1394プロトコルコントローラと接続されている。IPC12は、AVIF11から入力される画像データをアイソクロナス(Isochronous)転送モード(Isoc転送モード)を用いて目的とするノードに送信する。

【0027】IPC12は、入力される画像データに基づいて、アイソクロナス・パケット(Isocパケット)を生成する。そして、IPC12は、アービトレーションを行ってIEEE1394バス5の権利を獲得し、Isocパケットを目的とするノードに送信する。

【0028】ここで、Isocパケットについて説明する。

図8に示すように、Isocパケット13は、パケットヘッダ14、ヘッダCRC15、データ部16、データCRC17により構成されている。パケットヘッダ14には、Isocパケット13のデータ長や、転送に使用するチャネル番号等の情報が格納されている。ヘッダCRC15には、パケットヘッダ14に対して所定の方式により生成された誤り検出符号が格納されている。

【0029】データ部16は、CIPヘッダ16aとペイロードデータ16bとから構成されている。CIPヘッダ16aには、ペイロードデータ16bのフォーマット等の情報が格納されている。ペイロードデータ16bは、AV/Cプロトコルに対応した数のデータが格納される。そのデータ数は、転送速度と単位時間当たりが必要とするデータ量に応じて、240/480/960byteの何れかのデータ量に設定される。データCRC17には、データ部16に格納されたデータに対して所定の方式による誤り検出符号が格納されている。

【0030】IPC12には、AVIF11からデータ部が入力される。IPC12は、入力されるデータ部に対してヘッダ部、ヘッダCRC、及び、データCRCを付加してIsocパケットを生成する。そして、IPC12は、生成したIsocパケットをIEEE1394バスを介して相手のノードに転送する。

【0031】図3に示すように、IEEE1394プロトコルコントローラ（IPC）12は、リンク層処理回路21と物理層処理回路22とから構成されている。リンク層処理回路21には、AVIF11から図8に示すデータ部16が入力される。リンク層処理回路21は、データ部16に基づいて図8に示されるIsocパケット13を生成するために設けられ、その生成したIsocパケット13を物理層処理回路22に出力する。

【0032】物理層処理回路22は、入力されるIsocパケット13を、IEEE1394プロトコルに対応した信号を生成するために設けられ、その生成した信号をIEEE1394バス5を介して転送する。

【0033】リンク層処理回路21は、データ格納用のFIFOブロック23と、選択部24、25、ヘッダ生成部26、及び、CRC生成部27よりなるパケット生成回路28とが備えられている。ヘッダ生成部26は、図8に示すパケットヘッダ14及びヘッダCRC15を生成するために設けられている。CRC生成部27は、図8に示すデータ部16に基づいてデータCRC17を生成するために設けられている。選択部24は、データ部16に対してパケットヘッダ14及びヘッダCRC15を付加するために設けられ、選択部25は、データ部16に対してデータCRC17を付加するために設けられている。

【0034】FIFOブロック23には、AVIF11から周辺機器、即ち、相手のノードへ送信するデータ部16が順次格納される。パケット生成回路28は、FIFO

ブロック23内のデータ部16の先頭にパケットヘッダ14及びヘッダCRC15を付加するとともに、データ部16の末尾にデータCRC17を付加することにより送信パケット（Isocパケット）13を生成し、物理層処理回路22に転送する。

【0035】図3に示すように、物理層処理回路22は、パラレル-シリアル変換回路（以下、PS変換回路という）29、DS変調回路30、及び、IEEE1394インタフェース回路（以下、IEEE1394IF回路という）31とから構成されている。

【0036】PS変換回路29には、リンク層処理回路21にて生成されたIsocパケットが入力される。PS変換回路29は、入力されるパラレルデータのIsocパケットをシリアルデータに変換し、DS変調回路30に出力する。

【0037】DS変調回路30は、PS変換回路29から出力されるシリアルデータを順次入力し、そのシリアルデータと、図示しないクロック信号とに基づいてストローブデータを生成する。尚、クロック信号は、IPC12が動作する基準となる信号であり、他の回路にも同様に供給されている。そして、DS変調回路30は、入力されるシリアルデータと、生成したストローブデータとをIEEE1394IF回路31に出力する。

【0038】IEEE1394IF回路31は、先ずIEEE1394バス5の権利を獲得するためにアービトレーションを行う。そして、バスの権利を獲得すると、IEEE1394IF回路31は、入力されるシリアルデータ及びストローブデータをIEEE1394バス5を介して目的とする周辺回路（ノード）に出力する。

【0039】次に、FIFOブロック23の構成を図4～図6に従って説明する。図4に示すように、FIFOブロック23は、複数の基本サイズメモリとしての基本サイズFIFO41、第1、第2の制御回路としての入力制御回路42、及び、出力制御回路43により構成される。

【0040】各基本サイズFIFO41は、AV/Cプロトコルのパケットサイズに合わせた容量に設定されている。尚、本実施形態では、各基本サイズFIFO41の容量は、AVIF11から出力されるデータの容量、即ち、図8に示されるデータ部16を構成するCIPヘッダ16a及びペイロードデータ16bのデータ数（240/480/960byteの何れかのサイズ）に設定されている。

【0041】また、FIFOブロック23に備えられる基本サイズFIFO41の数は、データを転送するのに使用されるチャネル数や、AV/CプロトコルとIEEE1394プロトコルとの転送間隔の差等に応じて設定される。

【0042】各基本サイズFIFO41には、図8に示されるデータ部16が共通に入力される。各基本サイズFIFO41は、それぞれデータを順次書き込む毎に、次にデータを書き込むアドレスを自動的にインクリメン

トする。

【0043】図5に示すように、各基本サイズFIFO 41は、それぞれデータがフル、即ち、AV/Cプロトコルによる1つのパケットのデータが格納されている場合、フル信号SFを入力制御回路42に出力する。また、図6に示すように、各基本サイズFIFO 41は、それぞれデータが書き込まれていない場合、エンプティ信号SEを出力制御回路43に出力する。

【0044】入力制御回路42は、各基本サイズFIFO 41から出力されるフル信号SFに基づいて、各基本サイズFIFO 41を順次使用していく。具体的には、入力制御回路42は、各基本サイズFIFO 41からそれぞれ出力されるフル信号SFに基づいて、基本サイズFIFO 41にフルにデータが格納された場合、次の基本サイズFIFO 41に対して入力選択信号を出力する。入力選択信号が入力された基本サイズFIFO 41は、入力されるパケットデータを順次格納する。

【0045】出力制御回路43は、各基本サイズFIFO 41から出力されるエンプティ信号SEに基づいて、各基本サイズFIFO 41を順次使用していく。具体的には、出力制御回路43は、各基本サイズFIFO 41からそれぞれ出力されるエンプティ信号SEに基づいて、基本サイズFIFO 41に格納されたデータがすべて出力された場合、次の基本サイズFIFO 41に対して出力選択信号を出力する。出力選択信号が入力された基本サイズFIFO 41は、格納されているパケットデータを順次出力する。

【0046】即ち、FIFOブロック23は、複数備えた基本サイズFIFO 41を順次選択し、その選択した基本サイズFIFO 41にそれぞれ1つのIsocパケット13に含まれるデータ部16を格納する。また、FIFOブロック23は、フル状態の基本サイズFIFO 41を選択し、その選択した基本サイズFIFO 41からデータ部16を順次出力する。

【0047】データ部16を書き込む場合、複数の基本サイズFIFO 41の内、エンプティ状態の基本サイズFIFO 41が選択される。また、データ部16を読み出す場合、複数の基本サイズFIFO 41の内、フル状態の基本サイズFIFO 41が選択される。

【0048】図5に示すように、入力制御回路42は、例えば、オア回路44a~44c、45及び制御用シフトレジスタ46とから構成されている。尚、図5では、説明を簡単にするために、FIFOブロック23には3つの基本サイズFIFO 41a~41cが備えられている場合について説明する。

【0049】各オア回路44a~44cは2つの入力端子を備え、FIFOブロック23に備えられた基本サイズFIFO 41a~41cの数だけ設けられている。各オア回路44a~44cは、一方の入力端子には図示しない制御回路からライトイネーブル信号WEが入力さ

れ、他方の入力端子は制御用レジスタ46に接続されている。各オア回路44a~44cの出力端子は、それぞれ基本サイズFIFO 41a~41cに接続されている。

【0050】オア回路45は、前記基本サイズFIFO 41a~41cの数の入力端子を備え、各入力端子にはそれぞれ基本サイズFIFO 41a~41cから出力されるフル信号SF1~SF3が入力される。オア回路45は、各基本サイズFIFO 41a~41cから出力されるフル信号SF1~SF3を論理和演算した結果を信号として制御用シフトレジスタ46に出力する。

【0051】制御用シフトレジスタ46は、オア回路45から出力される信号をクロック入力とする循環型の所定のビット数よりなるシフトレジスタで構成されている。そのシフトレジスタのビット数は、FIFOブロック23に備えられる基本サイズFIFO 41a~41cの数に設定されている。

【0052】制御用シフトレジスタ46は、電源の投入時などにおいてクリアされると各ビットを「011」にセットする。以降、制御用シフトレジスタ46は、オア回路45から信号が入力される毎に、各ビットを順次「101」、「110」、「011」とシフト動作を行う。

【0053】オア回路45から入力される信号は、各基本サイズFIFO 41a~41cから出力されるフル信号SF1~SF3の論理和となっている。そのフル信号SF1~SF3は、各基本サイズFIFO 41a~41cに格納されたデータがフルの状態になるとそれぞれ出力される。従って、制御用シフトレジスタ46は、各基本サイズFIFO 41a~41cから出力されるフル信号SF1~SF3の例えば立ち上がり、即ち、各基本サイズFIFO 41a~41cのフル状態を検出することにより、シフト動作を行う。

【0054】そして、制御用シフトレジスタ46は、各ビットに対応した信号をオア回路44a~44cにそれぞれ出力する。それらのオア回路44a~44cには、それぞれライトイネーブル信号WEが入力されている。従って、ビットの「0」に対応した信号を入力したオア回路、例えばオア回路44aは入力選択信号SI1に対応する基本サイズFIFO 41aに出力する。一方、ビット「1」に対応した信号を入力したオア回路44b、44cは、Hレベルの入力選択信号SI2、SI3をそれぞれ対応する基本サイズFIFO 41b、41cに出力する。

【0055】各基本サイズFIFO 41a~41cは、それぞれ入力制御信号SI1~SI3がLレベルの場合に書き込み動作を行い、Hレベルの場合には書き込み動作を行わない。そして、入力制御信号SI1~SI3は、制御用シフトレジスタ46の各ビットの状態と、ライトイネーブル信号WEとの論理和となる。従って、各

基本サイズFIFO41a~41cは、その時々において1つが選択され、その選択された基本サイズFIFO41a~41cは書き込み動作を行う。

【0056】そして、制御用シフトレジスタ46は、各基本サイズFIFO41a~41cから出力されるフル信号SF1~SF3に基づいて各ビットを順次シフト動作するとともに、各ビットに対応した信号を出力する。従って、各基本サイズFIFO41a~41cは、1つのバケットデータが格納される毎に、次の基本サイズFIFOが選択され、その選択された基本サイズFIFOにバケットデータが書き込まれる。

【0057】図6に示すように、出力制御回路43は、図5に示される入力制御回路42と同様に、オア回路47a~47c、48及び制御用シフトレジスタ49とから構成されている。尚、図6では、説明を簡単にするために、FIFOブロック23には3つの基本サイズFIFO41a~41cが備えられている場合について説明する。

【0058】各オア回路47a~47cは2つの入力端子を備え、FIFOブロック23に備えられた基本サイズFIFO41a~41cの数だけ設けられている。各オア回路47a~47cは、一方の入力端子には図示しない制御回路からリードイネーブル信号REが入力され、他方の入力端子は制御用レジスタ49に接続されている。各オア回路47a~47cの出力端子は、それぞれ対応する基本サイズFIFO41a~41cに接続されている。

【0059】オア回路48は、前記基本サイズFIFO41a~41cの数の入力端子を備え、各入力端子にはそれぞれ基本サイズFIFO41a~41cから出力されるエンプティ信号SE1~SE3が入力される。オア回路48は、各基本サイズFIFO41a~41cから出力されるエンプティ信号SE1~SE3を論理和演算した結果を信号として制御用シフトレジスタ49に出力する。

【0060】制御用シフトレジスタは、オア回路48から出力される信号をクロック入力とする循環型の所定のビット数よりなるシフトレジスタで構成されている。そのシフトレジスタのビット数は、FIFOブロック23に備えられる基本サイズFIFO41a~41cの数に設定されている。

【0061】制御用シフトレジスタ49は、電源の投入時などにおいてクリアされると各ビットを「011」にセットする。以降、制御用シフトレジスタは、オア回路48から信号が入力される毎に、各ビットを順次「101」、「110」、「011」とシフト動作を行う。

【0062】オア回路48から入力される信号は、各基本サイズFIFO41a~41cから出力されるエンプティ信号の論理和となっている。そのエンプティ信号SE1~SE3は、各基本サイズFIFO41a~41c

に格納されたデータがエンプティの状態になると出力される。従って、制御用シフトレジスタ49は、各基本サイズFIFO41a~41cから出力されるエンプティ信号SE1~SE3の例えば立ち上がり、即ち、基本サイズFIFO41a~41cのエンプティ状態を検出することにより、シフト動作を行う。

【0063】そして、制御用シフトレジスタ49は、各ビットに対応した信号をオア回路47a~47cにそれぞれ出力する。それらのオア回路47a~47cには、それぞれリードイネーブル信号REが入力されている。従って、ビットの「0」に対応した信号を入力したオア回路、例えばオア回路47aは出力選択信号SO1に対応する基本サイズFIFO41aに出力する。一方、ビット「1」に対応した信号を入力したオア回路47b、47cは、Hレベルの出力制御信号SO2、SO3をそれぞれ対応する基本サイズFIFO41b、41cに出力する。

【0064】各基本サイズFIFOは、それぞれLレベルのリードイネーブル信号REを入力すると読み出し動作を行い、Hレベルの信号を入力すると読み出し動作を行わない。従って、各基本サイズFIFOは、その時々において1つが選択され、その選択された基本サイズFIFOは読み出し動作を行う。

【0065】そして、制御用シフトレジスタ49は、各基本サイズFIFO41a~41cから出力されるエンプティ信号SE1~SE3に基づいて各ビットを順次シフト動作するとともに、各ビットに対応した信号を出力する。従って、各基本サイズFIFO41a~41cは、1つのバケットデータが読み出される毎に、次の基本サイズFIFOが選択され、その選択された基本サイズFIFOに格納されたバケットデータが読み出される。

【0066】図9は、画像データの送信を示すタイミングチャートである。尚、図9では、説明を簡単にするために、基本サイズFIFOを2つ並列に接続したとき、即ち、図5、6において、基本サイズFIFO41a、41bのみが設けられている場合の動作を説明する。

【0067】図3に示されるAVIF11は、入力される画像データをAV/Cプロトコルに規定された133μsのサイクル、及び所定のサイズのバケットデータをIPC12に出力する。図5に示される基本サイズFIFO41a、41bのうち、入力制御回路によって先ず基本サイズFIFO41aが選択される。選択された基本サイズFIFO41aは、AVIF11から入力されるバケットデータ（図8に示されるデータ部16）を順次記憶する。

【0068】基本サイズFIFO41aは、1つのバケット分のデータが格納されると、フル状態になり、フル信号SF1を入力制御回路42に出力する。すると、入力制御回路42は、次の基本サイズFIFO41bを選

択する。従って、AVIF11から次に出力されるパケットデータは、基本サイズFIFO41bに書き込まれる。

【0069】一方、基本サイズFIFO41aがフル状態になると、出力制御回路43は、フル状態の基本サイズFIFO41aを選択する。選択された基本サイズFIFO41aは、格納した1つのパケットデータを順次パケット生成回路28に出力する。

【0070】即ち、FIFOブロック23を構成する各基本サイズFIFO41a、41bには、その時々において、読み出し又は書き込みの何れか一方のみが行われる。従って、各基本サイズFIFO41a、41bには、1つの入出力ポートを持った通常のRAM（シングルポート・タイプ）等を用いることができる。シングルポート・タイプのRAMは、同容量のデュアルポート・タイプのRAMと比べて周辺回路等の規模が小さく、約20%面積が小さい。その結果、デュアルポート・タイプのRAMを同一チップ上に搭載したコントローラに比べて、本実施形態のIPC12のチップサイズは小さくなり、低価格となる。

【0071】また、各基本サイズFIFO41a、41bは、1度に入力されるパケットデータのデータ量に応じた容量に設定されている。そして、各基本サイズFIFO41a、41bは、それぞれフル状態とエンプティ状態に応じたフル信号SF1、SF2とエンプティ信号SE1、SE2を出力する。入力制御回路42及び出力制御回路43は、それぞれフル信号SF1、SF2、エンプティ信号SE1、SE2に基づいて、各基本サイズFIFO41a、41bを順次選択してデータの書き込み・読み出しを行うようにした。従って、各基本サイズFIFO41a、41bは、その時々格納されているデータ量を管理する必要が無く、入力制御回路42及び出力制御回路43は各基本サイズFIFO41a、41bを選択する制御が簡単になる。

【0072】尚、各基本サイズFIFO41が複数備えられている場合も同様に、入力制御回路42及び出力制御回路43は、エンプティ状態の基本サイズFIFO41を順次選択してデータの書き込みを行い、フル状態の基本サイズFIFO41を選択してデータの読み出しを行う。

【0073】図3に示されるパケット生成回路28は、FIFOブロック23から入力されるパケットデータに対して図8に示されるパケットヘッダ14、ヘッダCRC15、及び、データCRC17を付加してIsocパケット13を生成し、その生成したIsocパケット13を物理層処理回路22に出力する。

【0074】物理層処理回路22は、リンク層処理回路21からIsocパケット13が入力されると、アービトレーションを行う。そして、物理層処理回路22は、IEEE1394バス5の権利を獲得すると、Isocパケット13を転

送する。

【0075】このとき、図1に示されるパソコン1からデジタルビデオカメラ4間での複数の周辺機器（ノード）により構成されるトポロジには、1つのルートと呼ばれるノードが設定されている。このルート・ノードは、Isoc転送モードを独自の時計(CTR)によって時間管理する。図7に示すように、ルート・ノードは、第1又は第2のサイクルとしての所定の転送サイクル（125 μ s）に1回の割合でサイクル・スタート・パケット（Cycle-start packet：CSパケット）を送信する。具体的には、ルート・ノードは、自信のCTR 125 μ sをカウントした時点でサブアクション・ギャップ（SG）と呼ばれるバス上の無信号状態を検出すると、優先的にCSパケットを送信する。そのCSパケットには、ルート・ノードのCTR値が含まれる。

【0076】各ノードは、CSパケットを受信すると、そのCSパケットに含まれるCTR値に基づいて自信のCTRを時間合わせ（アジャスト）する。CSパケットを受信したノードは、アイソクロナス転送を行うことが可能となり、バスの使用権の獲得のためにアービトレーションを行う。そして、各ノードの内、バスの権利を獲得したノードは、CSパケットの受信後、直ちにIsocパケットの転送を行う。複数のノードがIsoc転送モードを使用する、即ち、複数チャネルが存在する場合、予め125 μ s以内に送信できるデータ量からチャネル数が制限されている。そのため、Isoc転送モードを使用する全てのノードは、125 μ s周期内のどこかで転送の機会が与えられる。以上の操作により、一定周期に一定量のデータ転送が行われる。

【0077】ところで、図9の時刻t1において、AV/Cプロトコルの転送サイクル（133 μ s）とIEEE1394プロトコルの転送サイクル（125 μ s）の違いから、Isocパケットの送信開始時にデータの間合わない場合が生じる。この場合は、物理層処理回路22は、ペイロードデータ16bを含まないダミー・パケットを送信する。このダミー・パケットは、図8に示されるパケットヘッダ14、ヘッダCRC15、CIPヘッダ16a、及び、データCRC17とから構成される。ダミーパケットを受け取ったノードは、次のIsocサイクルまでIsocパケットの転送を待つ。この場合にも、基本サイズFIFO41が複数並列に備えられているため、AVIF11から出力されるデータは、次に選択された基本サイズFIFO41に格納されるため、データがオーバーフローする事がない。また、次に選択された基本サイズFIFO41に対してAVIF11から出力されるデータが書き込まれるため、AVIF11の出力動作を一旦停止する必要がない。そのため、画像処理回路側から観れば、パケットデータをAV/Cプロトコルにて所定の転送サイクルにて継続して出力することができるため、データの一旦停止等の余分な処理を行う必要が無く、その分回

路構成が簡略化する。

【0078】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) AV/Cプロトコルにより入力されるパケットデータを格納するFIFOブロック23には、各パケットデータのサイズの基本サイズFIFO41a、41bが並列に設けられている。各基本サイズFIFO41a、41bには、その時々において、読み出し又は書き込みの何れか一方のみが行われる。従って、各基本サイズFIFO41a、41bには、1つの入出力ポートを持った通常のRAM(シングルポート・タイプ)等を用いることができる。シングルポート・タイプのRAMは、同容量のデュアルポート・タイプのRAMと比べて周辺回路等の規模が小さいので、搭載面積が約20%小さい。その結果、デュアルポート・タイプのRAMを同一チップ上に搭載したコントローラに比べて、本実施形態のIPC12のチップサイズを小さくすることができ、IPC12を低価格にすることができる。

【0079】(2) 各基本サイズFIFO41は、1つのサイクルに転送されるデータ量に設定されている。そのため、各基本サイズFIFO41は、データが格納されていないエンプティ状態の場合にはエンプティ信号を出力し、データが全て格納されているフル状態の時にはフル信号を出力する。入力制御回路42は、データを書き込んでいる基本サイズFIFO41からフル信号が入力されると、次の基本サイズFIFO41を選択してデータの書き込みを行う。出力制御回路43は、データを読み出している基本サイズFIFO41からエンプティ信号が入力されると、次の基本サイズFIFO41を選択してデータの読み出しを行うようにした。その結果、各基本サイズFIFO41に格納されたデータ量を管理する必要がないので、入力制御回路42及び出力制御回路43の構成を簡単にすることができ、IPC23の面積の縮小を図ることができる。

【0080】尚、本発明は前記実施形態の他、以下の態様で実施してもよい。

(1) 上記実施形態では、1つのチャネルを用いて画像データを転送する場合について説明したが、図10に示すように、1つのIsocサイクルの間に複数のチャネル1〜3を用いて画像データを転送する用にしてもよい。この場合、図11に示すされるFIFOブロック51を用いる。このFIFOブロック51は、チャネル切り替え制御回路52、53間に、上記実施形態のFIFOブロック23を使用するチャネルに対応した数の複数のFIFOブロック23を並列に接続した構成となっている。尚、図11においては、基本サイズFIFO41の容量を480バイトに設定してある。この構成によっても、上記実施形態と同様に、各基本サイズFIFO41は、書き込みと読み出しとが異なるタイミングで行われるため、シングルポート・タイプのRAMを使用することが

できる。

【0081】(2) 上記実施形態では、画像データの送信機能を備えたIPC12に具体化した但、図12に示すように、画像データの受信機能を備えたIPC61に具体化して実施してもよい。IPC61には、物理層処理回路62、パケット解析回路63及びFIFOブロック64よりなるリンク層処理回路65が備えられる。物理層処理回路62は、IEEE1394バスから受信するIsocパケット13(図8参照)をDS復調して所定のクロック信号を生成するとともに、シリアル-パラレル変換したデータをリンク層処理回路65のパケット解析回路63に出力する。パケット解析回路63は、Isocパケット13からデータ部16のみをFIFOブロック64に出力する。FIFOブロック64は、上記実施形態と同様に、複数の基本サイズFIFO41、入力制御回路42、及び、出力制御回路43により構成される。図13は、その基本サイズFIFO41が2つ並列に接続された場合のタイミングチャートである。入力制御回路42は、Isocサイクル(125 μ s)毎に2つの基本サイズFIFO41を交互に選択してデータを書き込む。出力制御回路43は、フル状態の基本サイズFIFO41を選択して読み出したデータを順次画像ICインタフェース回路65に出力する。この構成によっても、上記実施形態と同様に、各基本サイズFIFO41は、書き込みと読み出しとが異なるタイミングで行われるため、シングルポート・タイプのRAMを使用することができる。

【0082】(3) 上記実施形態では、画像データの送信機能を備えたIPC12に具体化した但、図14に示すように、画像データの送信及び受信機能を備えたIPC71に具体化して実施してもよい。IPC71は物理層処理回路72とリンク層処理回路75とから構成され、物理層処理回路72には、シリアル-パラレル変換回路(SP変換回路)73とパラレル-シリアル変換回路(PS変換回路)74とが備えられている。リンク層処理回路75には、パケット解析回路76、パケット生成回路77、及び、FIFOブロック78とから構成される。FIFOブロック78は、受信データを順次格納するために設けられた基本サイズFIFO79a、79bと、送信データを順次格納するために設けられた基本サイズFIFO80a、80bとが備えられている。また、FIFOブロック78には、入出力を制御する制御回路81、82が設けられ、基本サイズFIFO79a、79b、80a、80bは、両制御回路81、82間に並列接続されている。両制御回路81、82は、それぞれデータの受信を行う場合に、基本サイズFIFO79a、79bを順次切り替えて受信したデータを格納するとともに、格納されたデータを読み出して画像ICIF83へ出力する。また、両制御回路81、82は、それぞれデータの送信を行う場合に、基本サイズFIFO80a、80bを順次切り替えて画像ICIF84か

ら入力されるデータを格納するとともに、格納したデータを読み出してパケット生成回路77へ出力する。この構成によっても、上記実施形態と同様に、各基本サイズFIFO79a, 79b, 80a, 80bは、書き込みと読み出しとが異なるタイミングで行われるため、シングルポート・タイプのRAMを使用することができる。

【0083】(4)上記実施形態では、Isoc転送モードを用いてデータを転送する場合について説明したが、他の転送モードを用いてデータを転送するようにしてもよい。例えば、IEEE1394プロトコルは、エイシンクロナス(Asynchronous)転送モード(以下、Asyn転送モードという)を備えている。Asyn転送モードは、時間管理を行わないものの、受信の確認が可能(送信したパケットに対して通常受信状態を示すアクノリッジパケット(Acknowledge packet)が返信される)なため、AV/Cプロトコルのコマンド等のデータ転送に使用される場合がある。Asyn転送モードでは、受信側ノードが何らかの理由により受信できない場合には、その旨を送信側にアクノリッジパケットを使用して伝え、再度送信をしてもらうことができるように規定されている。

【0084】この場合、複数のパケットを連続して1つのFIFOに格納している場合、FIFO中に以前の転送データが保持されていても、データの読み出しを示すポインタを複雑な操作により先頭に変更しなければ再度同じデータを送信することはできない。しかしながら、上記各実施形態では、パケット毎に異なった基本サイズFIFO41に格納してあるので、出力制御回路43はポインタ値を元に戻す、即ち、使用するFIFO41を変更するだけで再度送信が可能となる。従って、この場合には、出力制御回路43は、データの送信後、対応するエイシンクロナスパケットの受信を確認できるまでは、対象となるFIFO41を使用不可能とするようにする。

【0085】(5)上記実施形態では、各基本サイズFIFO41の容量を画像ICから出力されるデータ部16(図8参照)の容量に設定したが、パケットヘッダ、CIPヘッダ等を付加した後の容量に設定して実施しても良い。即ち、上記実施形態では、FIFOブロック23をパケットヘッダ14及びヘッダCRC15を付加す

る選択部24の入力側としたが、選択部24の出力側に備えた構成とする。また、データCRC17を付加する選択回路25の出力側にFIFOブロック23を備えた構成とする。

【0086】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、チップサイズを小さくすることが可能なデータ転送方法を提供することができる。

【0087】また、請求項2乃至7に記載の発明によれば、チップサイズを小さくすることが可能なデータ転送装置を提供することにある。

【図面の簡単な説明】

【図1】 IEEE1394バスを用いたシステム構成図。

【図2】 周辺機器内の構成を説明するためのブロック図。

【図3】 IEEE1394プロトコルコントローラのブロック図。

【図4】 FIFOブロックのブロック図。

【図5】 入力制御回路の回路図。

【図6】 出力制御回路の回路図。

【図7】 Isoc転送サイクルを示すタイミングチャート。

【図8】 Isocパケットの構成を示す説明図。

【図9】 画像データの送信動作を示すタイミングチャート。

【図10】 複数チャネルによるIsoc転送サイクルのタイミングチャート。

【図11】 複数チャネルを使用するFIFOブロックのブロック図。

【図12】 受信専用コントローラの概略ブロック図。

【図13】 画像データの受信動作を示すタイミングチャート。

【図14】 画像データの送受信を行うコントローラのブロック図。

【符号の説明】

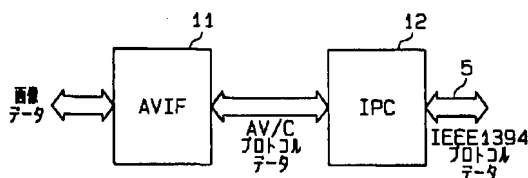
41 基本サイズメモリとしての基本サイズFIFO

42 第1又は第2の制御回路としての入力制御回路

43 第2又は第1の制御回路としての出力制御回路

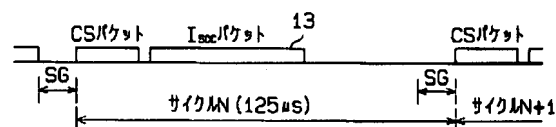
【図2】

周辺機器内の構成を説明するためのブロック図



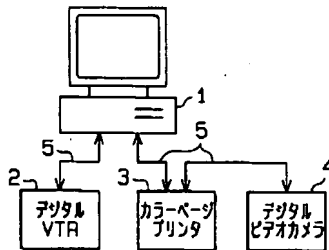
【図7】

Isoc転送サイクルを示すタイミングチャート



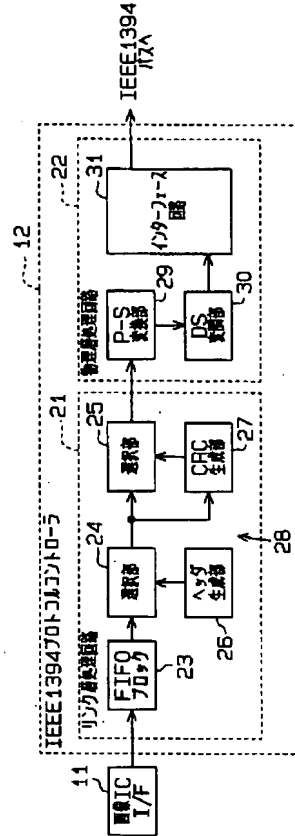
【図1】

IEEE1394バスを用いたシステム構成図



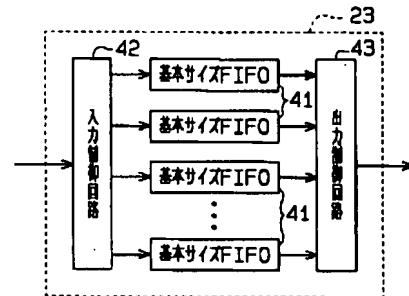
【図3】

IEEEプロトコルコントローラのブロック図



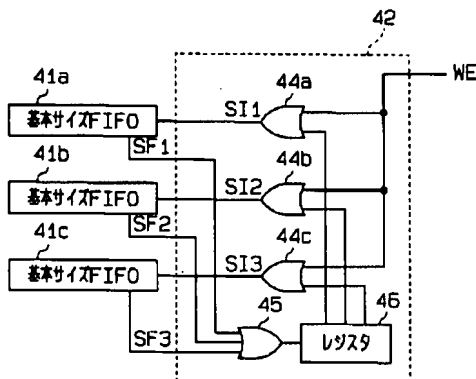
【図4】

FIFOブロックのブロック図



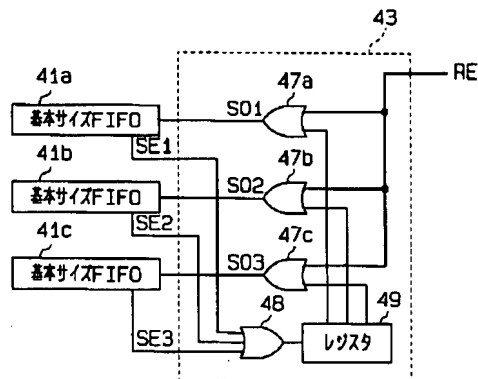
【図5】

入力制御回路の回路図

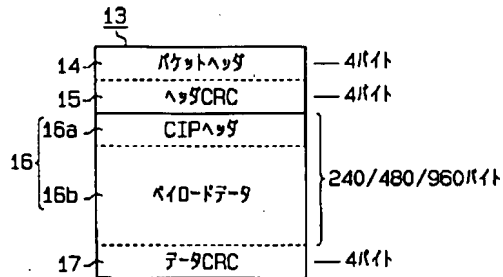


【図6】

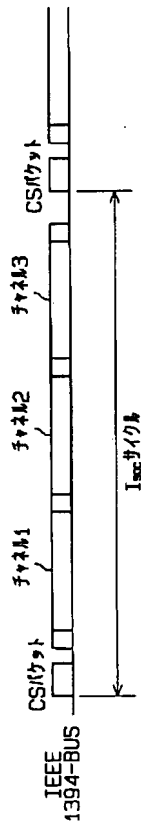
出力制御回路の回路図



【図8】

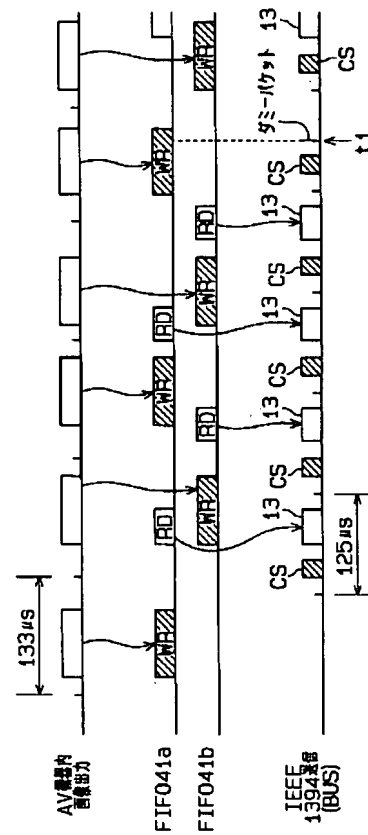
I_{sec}パケットの構成を示す説明図

【図10】

複数チャネルによるI_{sec}伝送サイクルのタイミングチャート

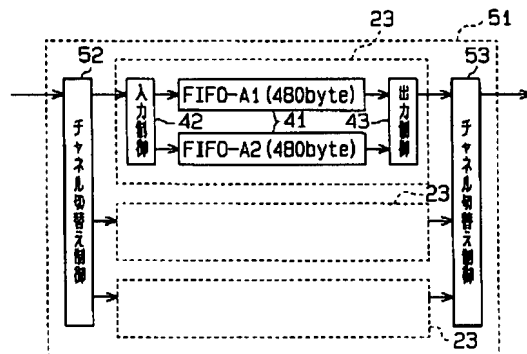
【図9】

画像データの送信動作を示すタイミングチャート



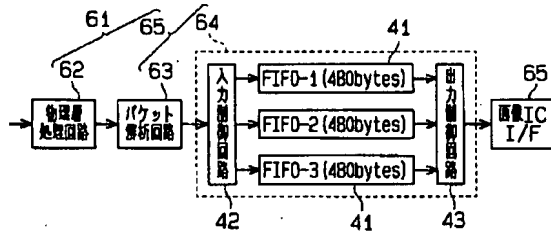
【図11】

複数チャネルを使用するFIFOブロックのブロック図



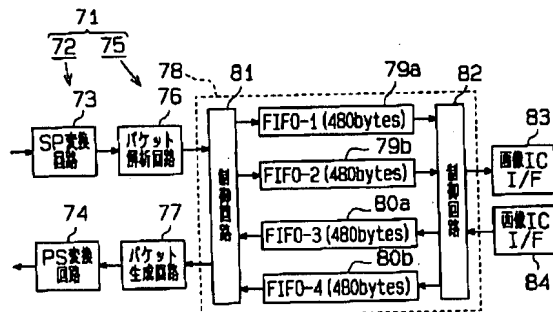
【図12】

受信専用コントローラの概略ブロック図



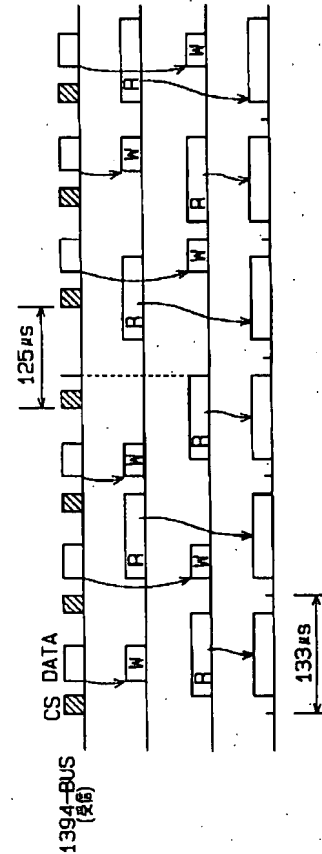
【図14】

画像データの送受信を行うコントローラのブロック図



【図13】

画像データの受信動作を示すタイミングチャート



フロントページの続き

(72)発明者 清水 天
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 辻本 廣幸
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 酒井 康志
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 上野 弘貴
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内